

PROGRAM LOADING SYSTEM

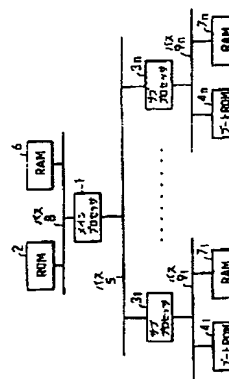
[71] Applicant: FUJITSU LTD

[72] Inventors: KITAMURA KOICHI;
NAKAJIMA RYOETSU;
MARUYAMA TAKUMI;
YAMAZAKI NAOKI . . .

[21] Application No.: JP63178330

[22] Filed: 19880718

[43] Published: 19900130

[Go to Fulltext](#)[Get PDF](#)

[57] Abstract:

PURPOSE: To facilitate the alteration of a program and the like and to attain a high speed operation through the use of RAM by uniformly controlling micro programs which operate on plural processors. **CONSTITUTION:** The micro programs which operate on sub processors 3_1 - 3_n are stored in ROM 2 connected to a main processor 1 through a bus 8. At the time of loading an initial program, the micro programs are once read on RAM 6 through the bus 8. Respective processors 3_1 - 3_n respectively transfer the micro programs stored in RAM 6 by the initial program loading program in respective boot ROM 4_1 - 4_n through a bus 5, and transfer them to RAM 7_1 - 7_n under the control of respective processors through buses 9_1 - 9_n . With sequentially executing a series of such action to plural sub processors at the time of initialization such as power supply so as to attain loading, respective processors can be operated by the micro programs in respective RAMs. COPYRIGHT: (C) 1990, JPO&Japio

[51] Int'l Class: G06F00924 G06F009445 G06F01300 G06F01516

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-28720

⑬ Int. Cl.⁵

G 06 F

9/24
9/445

識別記号

3 1 0

庁内整理番号

7361-5B

⑭ 公開 平成2年(1990)1月30日

7361-5B G 06 F 9/06 4 2 0 J※

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 プログラム・ローディング方式

⑯ 特 願 昭63-178330

⑰ 出 願 昭63(1988)7月18日

⑱ 発 明 者 北 村 耕 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 中 島 亮 悦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 発 明 者 丸 山 巧 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉑ 発 明 者 山 崎 直 己 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁理士 玉蟲 久五郎 外1名

最終頁に続く

明 細 書

グ方式。

1. 発明の名称 プログラム・ローディング方式

2. 特許請求の範囲

メインプロセッサ(1)と複数のサブプロセッサ(3₁, ..., 3_n)とからなるマルチプロセッサ・システムにおいて、

メインプロセッサ(1)に各サブプロセッサ(3₁, ..., 3_n)のマイクロプログラムを格納する不揮発性メモリ(2)を設けるとともに、

各サブプロセッサ(3₁, ..., 3_n)に初期プログラムローディング用プログラムを格納する不揮発性メモリ(4₁, ..., 4_n)を設け、

初期プログラム・ローディング時、各サブプロセッサ(3₁, ..., 3_n)がそれぞれの不揮発性メモリにおける初期プログラム・ローディング用プログラムによって前記不揮発性メモリ(2)に格納されているマイクロプログラムをローディングすることを特徴とするプログラム・ローディン

3. 発明の詳細な説明

(概 要)

マルチプロセッサ・システムにおいて各サブプロセッサ上で動作するマイクロ・プログラムをローディングする方式に係り、

複数のサブプロセッサ上で動作するマイクロプログラムを一元的に管理することによってプログラム変更等を容易にするとともに、メモリに揮発性メモリを使用することによってより高速な動作を可能にすることを目的とし、

メインプロセッサと複数のサブプロセッサとからなるマルチプロセッサ・システムにおいて、メインプロセッサに各サブプロセッサのマイクロプログラムを格納する不揮発性メモリを設けるとともに、各サブプロセッサに初期プログラムローディング用プログラムを格納する不揮発性メモリを設け、初期プログラム・ローディング時、各サブプロセッサがそれぞれの不揮発性メモリにおける

特開平 2-28720(2)

初期プログラム・ローディング用プログラムによって前記不揮発性メモリに格納されているマイクロプログラムをローディングすることによって構成される。

〔産業上の利用分野〕

本発明はプログラムをローディングする方式に係り、特にマルチプロセッサ・システムにおいて各サブプロセッサ上で動作するマイクロ・プログラムを初期設定時等にローディングするようにした、プログラム・ローディング方式に関するものである。

複数の回路に対応してそれぞれプロセッサを備え、分散処理によって回路制御を行う場合のようなマルチプロセッサ・システムにおいては、それぞれのサブプロセッサに当該プロセッサを動作させるためのマイクロプログラムを設ける。

このようなマルチプロセッサ・システムにおいては、各サブプロセッサのマイクロプログラムを電源立ち上げ時等の初期設定時にローディングで

きるようにすることが要望される。

〔従来の技術〕

従来、複数のプロセッサより構成されるマルチプロセッサ・システムにおいては、各サブプロセッサごとに不揮発性メモリ（ROM）を有し、これに当該プロセッサを動作させるためのマイクロプログラムを格納しておく方式が一般に用いられている。

〔発明が解決しようとする課題〕

マルチプロセッサ・システムにおける各サブプロセッサのマイクロプログラムをそれぞれのプロセッサごとに不揮発性メモリに格納しておく方式では、プログラムやデータを変更する必要が生じた場合、その都度不揮発性メモリの書き換えなし交換を行うことが必要となる。

多数のプロセッサを有するマルチプロセッサ・システムの場合は、マイクロプログラムを格納する不揮発性メモリの数も多く、従ってプログラム

3

等の変更を行うために莫大な工数を必要とすることになる。

またプログラムの変更を考慮して書き換え可能なEPROMを使用することが考えられるが、EPROMは一般に動作速度が遅いため高速なプロセッサ・システムには使用することができない。そのためこのようなシステムでは、高速ではあるが書き換え不能なPROMを使用しなければならず、プログラム変更等により生じるコスト増大を防止することができなかった。

本発明はこのような従来技術の課題を解決しようとするものであつて、マルチプロセッサ・システムにおいて複数のサブプロセッサ上で動作するマイクロプログラムを一元的に管理することによってプログラム変更等を容易にするとともに、メモリに揮発性メモリ（RAM）を使用することによってより高速な動作を可能にするプログラム・ローディング方式を提供することを目的としている。

5

4

〔課題を解決するための手段〕

本発明は第1図にその原理的構成を示すように、メインプロセッサ1と複数のサブプロセッサ3₁, ..., 3_nとからなるマルチプロセッサ・システムにおいて、メインプロセッサ1に不揮発性メモリ（ROM）2を設けるとともに、サブプロセッサ3₁, ..., 3_nに不揮発性メモリ（ブートROM）4₁, ..., 4_nを設けて初期プログラム・ローディング時、各サブプロセッサ3₁, ..., 3_nがそれぞれの不揮発性メモリにおける初期プログラム・ローディング用プログラムによって不揮発性メモリ2に格納されているマイクロプログラムをローディングするようにしたものである。ここで不揮発性メモリ2は、各サブプロセッサ3₁, ..., 3_nのマイクロプログラムを格納しているものである。

また不揮発性メモリ4₁, ..., 4_nは、各サブプロセッサ3₁, ..., 3_nにおける初期プログラム・ローディング用プログラムを格納するものである。

6

特開平 2-28720(3)

〔作 用〕

第 1 図のマルチプロセッサ・システムにおいて、メインプロセッサ 1 と各サブプロセッサ 3₁, …, 3_n とはバス 5 を介して接続されている。メインプロセッサ 1 は ROM 2 を有し、これには各サブプロセッサ 3₁, …, 3_n 上で動作するマイクロプログラムを格納している。また各サブプロセッサ 3₁, …, 3_n には、初期プログラム・ローディング (IPL) 用のプログラムを格納したブート ROM 4₁, …, 4_n が設けられている。

電源投入時等の初期プログラムローディング時には、各サブプロセッサ 3₁, …, 3_n はそれぞれのブート ROM における初期プログラム・ローディング用プログラムによって、ROM 2 に格納されているそれぞれのサブプロセッサ上で動作するマイクロプログラムをバス 5 を経てローディングする。

従って各サブプロセッサを動作させるマイクロプログラムに変更を生じた場合でも、各サブプロセッサごとにプログラムの変更を行う必要がなく、

メインプロセッサに設けられた ROM 2 の内容だけを変更すればよいので、プログラムの変更が容易になる。

〔実施例〕

第 2 図は本発明の一実施例を示したものであって、第 1 図におけると同じ部分を同じ番号で示し、6, 7₁, …, 7_n は揮発性メモリ (RAM)、8, 9₁, …, 9_n はバスである。第 2 図は回路部に回路対応にプロセッサを使用する通信用等のマルチプロセッサ・システムを例示している。

メインプロセッサ 1 とバス 8 を介して接続された不揮発性メモリ (ROM) 2 には、サブプロセッサ 4₁, …, 4_n 上で動作するマイクロプログラムが格納されている。初期プログラム・ローディング時には、ROM 2 上のマイクロプログラムをバス 8 を介して接続された揮発性メモリ (RAM) 6 上に一旦読み出す。

各サブプロセッサ 3₁, …, 3_n は、それぞれの揮発性メモリ (ブート ROM) 4₁, …, 4_n

7

8

に格納されている初期プログラム・ローディング用プログラムによって、RAM 6 に記憶されたマイクロプログラムをバス 5 を介してそれぞれ転送し、それぞれのサブプロセッサの配下に設けられている揮発性メモリ (RAM) 7₁, …, 7_n にバス 9₁, …, 9_n を経て転送する。

このような一連の動作を電源投入時等の初期設定時、複数個のサブプロセッサ 3₁, …, 3_n に対して順次実行することによって、各サブプロセッサへのプログラム・ローディングが行われる。

このようにしてマイクロプログラムの初期プログラム・ローディングが終了したとき、各サブプロセッサ 3₁, …, 3_n はそれぞれ RAM 7₁, …, 7_n に格納されたマイクロプログラムによって動作することができるようになる。

〔発明の効果〕

以上説明したように本発明のプログラム・ローディング方式によれば、マルチプロセッサシステムにおいて複数のサブプロセッサ上で動作するマ

イクロプログラムを一元的に管理することが可能であり、プログラム変更等の場合も 1 箇所のメモリを書き替えるか交換するのみで足り、作業工数の削減が可能である。

また各サブプロセッサにおいてマイクロプログラムを格納するメモリとしては、安価で高速動作が可能な揮発性メモリ (RAM) を使用可能であり、大幅なコストダウンが可能になるとともに、不揮発性メモリ (ROM) にマイクロプログラムを格納する場合に比べて、より高速な動作が可能となる。

4. 図面の簡単な説明

第 1 図は本発明の原理的構成を示す図、

第 2 図は本発明の一実施例の構成を示す図である。

- 1 : メインプロセッサ
- 2 : 不揮発性メモリ (ROM)
- 3₁, …, 3_n : サブプロセッサ

9

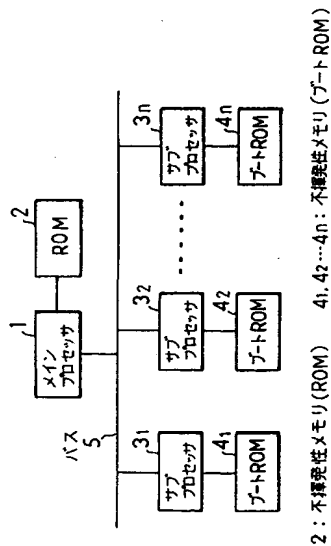
10

特開平 2-28720(4)

41, ..., 4n: 不揮発性メモリ (ブートROM)
 M)
 5, 8, 91, ..., 9n: バス
 6, 71, ..., 7n: 揮発性メモリ (RAM)

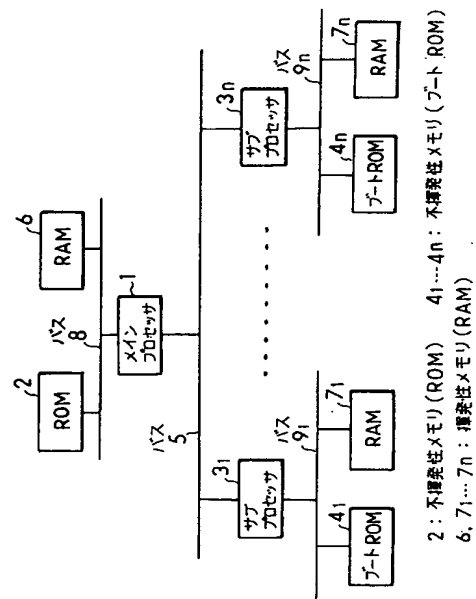
特許出願人 富士通株式会社
 代理人 弁理士 玉蟲久五郎 (外1名)

11



本発明の原理的構成を示す図

第 1 図



本発明の一実施例の構成を示す図

第 2 図

特開平 2-28720(5)

第 1 頁の続き

⑥Int. Cl.⁸G 06 F 13/00
15/16

識別記号

3 0 5 A
4 2 0 S

庁内整理番号

7230-5B
6745-5B

⑦発 明 者 杉 田

清

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内